

14/7/12

DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

03082636

SOFTWARE TEST *COVERAGE* MEASURING DEVICE

PUB. NO.: 02-058136 [JP 2058136 A]
PUBLISHED: February 27, 1990 (19900227)
INVENTOR(s): KOBASHI SHUICHI
APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 63-210202 [JP 88210202]
FILED: August 24, 1988 (19880824)

ABSTRACT

PURPOSE: To improve the testing efficiency of a program by automatically detecting the effective path of the program to be tested, and executing simulation and emulation only for the effective path.

CONSTITUTION: A program unit dividing means 4 to divide the computer program to be a testing object into units, an executing path analyzing means 5 to extract the effective executing path from the correlation of the parameter between the respective divided program units, a tracer implanting means 6 to implant a tracer tracing the executing path to the program, a compilation linking means 7 to generate a loading module which can execute the simulation from the program, an executing path/data collecting means 8 to collect the path/data at the time of the simulation, and a test data evaluating means 9 to calculate and evaluate an effective test execution rate based on the executing path/data are provided. Thus, the useless test path is automatically judged to be eliminated, only the valid path is extracted, and the test can be made efficient.

THIS PAGE BLANK (USPTO)

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

平2-58136

⑬Int.Cl. 3

G 06 F 11/28

識別記号

庁内整理番号

340 B

7343-5B

⑭公開 平成2年(1990)2月27日

審査請求 未請求 請求項の数 1 (全5頁)

⑮発明の名称 ソフトウェア試験カバレージ測定装置

⑯特 願 昭63-210202

⑰出 願 昭63(1988)8月24日

⑲発明者 小橋秀一 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

⑳出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑代理人 弁理士 大岩増雄 外2名

明細書

1. 発明の名称

ソフトウェア試験カバレージ測定装置

2. 特許請求の範囲

計算機プログラムを分岐命令を複数個含まない
プロックに分割するプログラム・ユニット分割手
段と、分割された各プログラム・ユニット間の相
間から有効な実行バスを検出する実行バス解析手
段と、プログラムの実行バスを追跡するトレーサ
を計算機プログラムに組み込むトレーサ付手段
と、トレーサを組み込まれたプログラムからシミ
ュレーション実行可能なロード・モジュールを生
成するコンパイル・リンク手段と、シミュレーション
時の実行バス・データを収集する実行バス・
データ収集手段と、収集された実行バス・データ
に基づき有効試験実施率を算出評価する試験データ
評価手段を備えることを特徴とするソフトウェア
試験カバレージ測定装置。

3. 発明の詳細な説明

【実業上の利用分野】

この発明はソフトウェア試験カバレージ測定装置、特にプログラムの分岐・繰り返しパラメータの値、変数の使用状況から適切な有効バスを選定し、対象計算機プログラムの有効試験実施率を評価する装置に関するものである。

【従来の技術】

一般に、計算機プログラムの完全性を試験する場合、プログラムの内部構造面と要求機能面の両面から試験データを作成し、シミュレーションまたはエミュレーションを実施した後で、ターゲット・システムにおけるシステム検証を行っている。プログラムの内部構造面からの試験は命令文、分岐、実行バスの3つの観点から評価されるが、試験負担を最小化しながらカバレージを極力高くするような方法が要求される。

従来、かかる要求に応えるものとして文献(「Software Reliability」Glenford J. Myers著、「ソフトウェアの信頼性」有沢誠 著、近代科学社発行、1977年)に示されるようなソフトウェア試験カバレージ測定システムが提案され

ている。これは第5図のフローチャートに示すようなプログラムを対象とし第6図の説明図に示すような実行バスに適合されるシステムであり、ステップP1からステップP4の4つの処理がバス1からバス4の4つの抽出された実行バスに割り当てられる。この場合、各プログラム・ユニット間の処理内容に無関係に実行バスを検出し、その実行バスを分母に実行比率を算出している。このため、処理2の内容と処理4の内容を無視した実行比率が算出される。すなわち、処理2の内容と処理4の内容が関係を持つ場合には、処理2と処理4はいずれも無いか、いずれも含まれるかのいずれかの状態しか取り得ない状であり、従ってバス3や4のように処理2または処理4のいずれかしか含まれない実行バスは実際には起り得ず無意味である。

【発明が解決しようとする課題】

従来のソフトウェア試験カバレージ測定システムは以上のように構成されているので、分岐可能性の有無によってのみ実行バスを検出しておらず、

ユニット分割手段と、分割された各プログラム・ユニットの分岐命令の呼び先と分岐元のコマンドライン番号から構成されるベクトルから実行バスを検出し、各プログラム・ユニット間のバラメータの相関から有効な実行バスを抽出する実行バス解析手段と、プログラムの実行バスを追跡するトレーサをプログラムに組み込むトレーサ組付手段と、トレーサを組み込まれたプログラムからシミュレーション実行可能なロード・モジュールを生成するコンパイル・リンク手段と、シミュレーション時の実行バス・データを収集する実行バス・データ収集手段と、収集された実行バス・データに基づき有効試験実施率を算出しこれを評価する試験データ評価手段を備えるものである。

【作用】

この発明におけるソフトウェア試験カバレージ測定装置は、計算機プログラムを実行フローからユニット分割し、分岐命令の呼び先、分岐元から生成されるベクトルに基づく実行バスを各ユニットでの受け渡しバラメータの相関関係から有効実

従ってそのプログラムが実運用される場合には起り得ないバスを送出してしまい、試験者によるそのバスの有効・無効の判断が必要であるという問題点がある。試験者は試験データに対する処理そのものの結果の妥当性を判断する必要があることから、試験に伴う負担が大きくなってしまうという問題点もある。

この発明は上記従来技術の課題を解決するためになされたもので、ソフトウェアの試験に当り、無意味な試験バスを自動的に判断削除し、有効なバスのみを抽出することで試験を効率化すると共に試験者の負担を軽減することのできるソフトウェア試験カバレージ測定装置を得ることを目的とする。

【課題を解決するための手段】

この発明にかかるソフトウェア試験カバレージ測定装置は、試験対象となる計算機プログラムを分岐命令を複数含まないユニット・ブロック、つまり分岐命令を含まないか含むとしても1個しか有さないユニットに分割するにプログラム・ユ

行バスを絞り込むことによって見掛け上で意味の無いバスを除外し、実行バス分析の結果を有効なものにしている。

【実施例】

以下、図面を参照しながらこの発明の実施例を説明する。

第1図はこの発明の一実施例に係るソフトウェア試験カバレージ測定装置のブロック図である。図において、(2)は試験対象計算機プログラムであるソース・プログラムを格納する記憶装置、(1)はプログラム・ユニット分割手段(4)、実行バス解析手段(5)、実行トレーサ組付手段(6)、ロード・モジュール生成手段(7)、試験データ収集手段(8)、試験データ評価手段(9)を備える計算機、(3)は実行バス解析結果や試験カバレージを印字出力する出力装置である。そして、記憶装置(2)から読み出されたソース・プログラムは計算機(1)のプログラム・ユニット分割手段(4)によって分岐命令を複数以上持たないプログラム・ユニットに分割され、

実行バス解析手段(5)で分岐命令による論理的実行バスを検出される。この実行バス解析結果は出力装置(3)に出力される。一方、実行トレーサ植付手段(6)で各ユニット・プログラムには実行追跡用のトレーサが植え込まれ、ロード・モジュール生成手段(7)でコンパイル・リンクされた後にこれが実行される。この場合、各ユニット間での受け渡しパラメータの相間から有効実行パラメータを絞り込み、プログラムの実行時には各プログラム・ユニットの実行を実行バスと一致した形でトレースし記憶する。この記憶された実行記録は実行バス分析によって得られている実行可能バスからその試験カバレージを算出され出力装置(3)に出力される。

かかる構成において次にその作用を第2図のフローチャートに従って説明する。

記憶装置(2)から計算機(1)に読み出された計算機プログラム、つまりソース・プログラムはプログラム・ユニット分割手段(4)で分岐命令、例えばPL/MDO及びWHILE繰り返し文、DO

CASE文、IF分、GO TO文等の存在によって、これを複数以上含まないブロックにユニット分割される。つまり、これらの分岐命令文が1個以下のプログラム・ブロックに分割される。(ステップS1)

次に実行バス解析手段(5)によって分岐命令の分岐元および分岐先のライン番号から生成される実行バス・ベクトルから実行バスを検出し、各処理ユニット間の受け渡しパラメータの相間から有効実行バスを絞り込む。この結果は、出力装置(3)によって試験者に知らされる。(ステップS2)

ユニット分割されたソース・プログラムには実行トレーサ植付手段(6)によって各ユニット毎に実行追跡トレーサが植え込まれる。(ステップS3)

次に、ロード・モジュール生成手段(7)によって、このソース・プログラムが別途作成される試験データと共にコンパイル・リンクされる。

(ステップS4)

以上のようにして生成されたロード・モジュールは計算機(1)上でプログラム実行され、試験データ収集手段(8)によって実行履歴が収集される。(ステップS5)

この試験データに対する実行データが収集分析されて試験データ評価手段(9)で試験カバレージが算出評価され、その結果は出力装置(3)を通じて試験員に知らされる。(ステップS6)

第3図、第4図はそれぞれ有効実行バスの絞り込みの原理を単純化して示すためのもので、第3図は試験プログラムの一例のフローチャートおよび第4図は第3図のフローの実行バスの説明図である。ステップP1からステップP4の各処理1から処理4の中で処理1は処理2および処理3への分岐を含んでおり、また処理3も処理4、ステップへの分岐を含んでいる。分岐命令のみによるバス分析ではバス1からバス4の4つの実行バスが生成されてしまうが、処理2で生成されたパラメータが語りで使用されているような場合には、処理2と処理4を両方含まないバス3、バス4は

意味がないものになってしまう。このパラメータ間の相間の有無を利用して有効実行バスを絞り出す。つまり、第4図の説明図に示すように、例えば処理2と処理4の相間がある場合は、バス1、バス2が有効であり、処理2と処理4の相間が無い場合はすべてのバスが有効となる。

以上のように、計算機プログラムの処理内容に依存した有効実行バスを各プログラム・ユニット間の受け渡しパラメータ間の相間により自動的に検出することができるようにならして、ソフトウェア試験における試験目的の判断時間や試験時間を大幅に短縮することができる。

【発明の効果】

以上のように、この発明によれば試験すべきプログラムの有効なバスを自動的に検出し、この有効バスのみに限ってシミュレーションやエミュレーションを実行するように構成したので、試験結果に対する試験者の判断の必要を低減し、プログラムの試験効率を大幅に向上することができるものが得られる効果がある。

4. 図面の簡単な説明

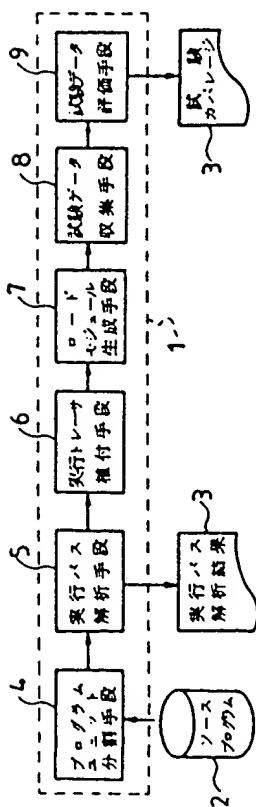
第1図はこの発明の一実施例に係るソフトウェア試験カバレージ測定装置のブロック図、第2図は第1図の構成の動作を説明するためのフローチャート、第3図は第1図の構成の作用を説明するためのフローチャート、第4図は第1図の構成の作用の説明図、第5図は従来のソフトウェア試験カバレージ測定システムの作用を説明するためのフローチャート、第6図は従来のシステムの作用の説明図である。

図中、(1)は計算機、(2)は記憶装置、(3)は出力装置、(4)はプログラム・ユニット分割手段、(5)は実行バス解析手段、(6)は実行トレーサ積付手段、(7)はロード・モジュール生成手段、(8)は試験データ収集手段、(9)は試験データ評価手段である。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人弁理士 大岩地雄

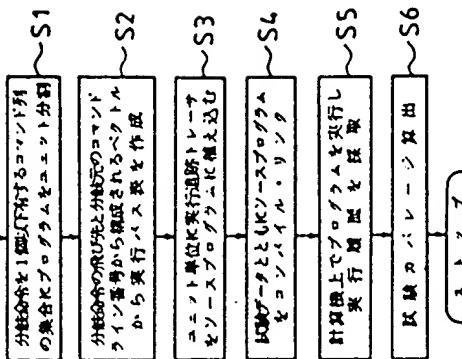
(他 2名)



本発明の一実施例の装置のブロック図

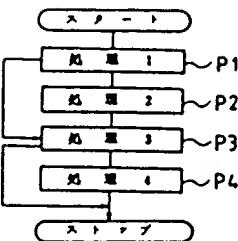
第1図

1: 計算機
2: 記憶装置
3: 出力装置
4: プログラム・ユニット分割手段
5: 実行バス解析手段
6: 実行トレーザ積付手段
7: ロード・モジュール生成手段
8: 試験データ収集手段
9: 試験データ評価手段
10: 実行バス解析手段



一実施例の構成の動作説明用のフローチャート

第2図



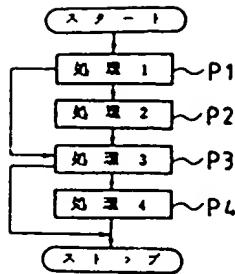
一実施例の構成の作用説明のフローチャート

第3図

	バス1	バス2	バス3	バス4
実行バス	処理1 処理3	処理1 処理2 処理3 処理4	処理1 処理3 処理4	処理1 処理2 処理3
処理2と 処理4の 時間				
有 無	○	○	×	○

一実施例の構成の作用の説明図

第4図



従来システムの作用の説明用のフローチャート

第5図

バス1	バス2	バス3	バス4
処理1	処理1	処理1	処理1
処理3	処理2	処理3	処理2
	処理3	処理4	処理3
	処理4		

従来システムの作用の説明図

第6図

THIS PAGE BLANK (USPTO)